



DEUTSCHES
PATENT- UND
MARKENAMT

Übersetzung der
europäischen Patentschrift

97 EP 0 585 090 B 1

10 DE 693 25 685 T 2

51 Int. Cl. 7:
H 03 L 7/089
H 03 L 7/107

- 21 Deutsches Aktenzeichen: 693 25 685.0
- 96 Europäisches Aktenzeichen: 93 306 642.5
- 96 Europäischer Anmeldetag: 20. 8. 1993
- 97 Erstveröffentlichung durch das EPA: 2. 3. 1994
- 97 Veröffentlichungstag
der Patenterteilung beim EPA: 21. 7. 1999
- 47 Veröffentlichungstag im Patentblatt: 29. 6. 2000

DE 693 25 685 T 2

- 30 Unionspriorität:
936824 28. 08. 1992 US
- 73 Patentinhaber:
AT & T Corp., New York, N.Y., US
- 74 Vertreter:
Blumbach, Kramer & Partner GbR, 65187
Wiesbaden
- 84 Benannte Vertragsstaaten:
DE, ES, FR, GB, IT

- 72 Erfinder:
Leonowich, Robert Henry, Temple, Pennsylvania
19560, US

- 54 Phasenregelkreissystem mit Kompensierung der Änderungen der datenflankenabhängigen
Schleifenverstärkung

BEST AVAILABLE COPY

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

DE 693 25 685 T 2

Hintergrund der Erfindung

Die Erfindung bezieht sich auf Phasenregelkreissysteme (PLL), in denen sich die Dichte von Datenübergängen im Datensignal ändert.

Monolithische PLL-Schaltkreise sind für viele Unterhaltungssysteme und elektronische Industriesysteme zu den grundlegenden Bauteilen geworden. Bei Telekommunikations-Datensystemen beispielsweise ist der PLL ein integraler Bestandteil des Taktrückgewinnungs-Untersystems. Der PLL kann zum Wiedergewinnen des Taktsignals aus dem Datensignal verwendet werden. Der wiedergewonnene Takt kann dann beispielsweise zum erneuten Erzeugen des Datensignals verwendet werden.

Das grundlegende PLL-System umfaßt im Wesentlichen drei Bauteile:

- (1) einen Phasendetektor,
 - (2) ein Schleifenfilter, und
 - (3) einen spannungsgesteuerten Oszillator (VCO),
- die in einem Rückkopplungssystem miteinander verbunden sind, wie im Aufsatz „Bipolar and MOS Analog Integrated Circuit Design“, von A.B. Grebene, John Wiley & Sons (1984) in Fig. 12.1 gezeigt. Der Phasendetektor vergleicht die Phase eines Eingangssignals V_s mit der Phase des VCO und erzeugt eine Steuerspannung V_d . Diese Spannung V_d wird vom Schleifenfilter gefiltert, dessen Ausgangssignal an den Steueranschluß des VCO angelegt wird, um dessen Oszillationsfrequenz zu steuern.

Die Schleifenverstärkung K_L des PLL wird wie folgt definiert:

$$K_L = K_D * K_0 \quad (1)$$

wobei K_D (V/rad) die Umwandlungsverstärkung des Phasendetektors und K_0 (Hz/V) die Spannung-zu-Frequenz-Umwandlungsverstärkung des VCO ist.

Es ist bekannt, daß die Verstärkung K_D des Phasendetektors und folglich die Schleifenverstärkung eines Taktrückgewinnungs-PLL von der Übergangsdichte des Datensignals abhängt. (D.L. Duttweiler, BSTJ, Band 55, Nr. 1 (1976)). Das heißt, wenn das Datensignal einige Datenübergänge erfährt, hat der Phasendetektor Zeitperioden, bei denen keine Datenübergänge auftreten, die mit dem wiedergewonnenen VCO-Taktsignal verglichen werden. Die effektive Verstärkung des Phasendetektors K_{DD} wird dann um einen Faktor $D < 1$ verringert, der definiert ist als:

$$D = f_{trans} / f_{clk} \quad (2)$$

und

$$K_{DD} = K_D * D \quad (3)$$

wobei f_{trans} die Frequenz der Datenübergänge und f_{clk} die Frequenz des wiedergewonnenen Taktes ist.

Betrachtet werden zwei in den Fig. 1 und 2 dargestellte Fälle. In beiden Fällen ist der PLL auf ein Eingangsdatensignal eingerastet; das Taktsignal jedoch ist gegen das Datensignal um einen Phasenfehler Δ verschoben. In Fig. 1 ist nur ein ansteigender Taktzyklusübergang zwischen benachbarten Datenübergängen dargestellt, folglich ist der Verschlechterungsfaktor $D = 1$. In Fig. 2 sind jedoch drei ansteigende Taktzyklusübergänge zwischen benachbarten Datenübergängen gezeigt; folglich ist $D = 1/3$. Demzufolge treten dreimal so viele Fehlerkorrekturen im Falle von $D = 1$ wie im Falle von $D = 1/3$ auf. Diese Differenz macht wirklich die Verstärkung des Phasendetektors nach Fig. 2 zu

$K_{D2} = 1/3 K_{D1}$, wobei K_{D1} die Verstärkung des Phasendetektors nach Fig. 1 ist, selbst wenn die Phasendetektoren selbst physikalisch die gleiche Ausführungsform aufweisen.

FR-A-2 662 875 beschreibt einen Abstimmungsschaltkreis mit einer Phasensteuerschleife und einer Frequenzsteuerschleife, die dadurch gekennzeichnet ist, daß im Vergleich zu einem Integrator der Strom fortdauernd mit der Schließzeit oder dem Phasenfehler des entsprechenden Zweiges eines Phasendiskriminators ansteigt.

Diese datenabhängigen Schwankungen der Verstärkung des Phasendetektors verursachen Schwankungen der Dynamik des geschlossenen PLL-Regelkreises und können unerwünscht sein. Beispielsweise können bei einem aktiven PLL zweiter Ordnung (Grebene, supra, Fig. 12.9) die natürliche Frequenz, der Dämpfungsfaktor und die 3dB-Frequenz abnehmen, wenn K_{DD} abnimmt, wobei das Jitter-Maximum jedoch ansteigt. Dieser Effekt ist bei Systemen besonders problematisch, in denen PLLs (oder Verstärker, die PLLs umfassen) hintereinandergeschaltet sind. Beispielsweise können Daten in Token-Ring-Systemen an verschiedenen Knoten derart eingespeist/extrahiert werden, daß verschiedene Verstärker/PLLs verschiedene Datenströme sehen. Bei herkömmlichen PLLs verschiebt sich die Übertragungsfunktion des PLL mit der Übergangsdichte derart, daß einige PLL ausrasten können, andere wiederum nicht.

Zusammenfassung der Erfindung

Die Erfindung ist in den Ansprüchen umschrieben. Die Schleifenverstärkung eines PLL wird durch Kompensation der Abhängigkeit dieser Verstärkung von der Datenübergangsdichte eines Eingangsdatensignals im Wesentlichen konstant gehalten. Die Schleifenverstärkung reagiert steuerbar auf die

Übergangsdichte des Eingangssignals, um die Schleifenverstärkung zu erhöhen, wenn die Dichte verhältnismäßig gering ist, und umgekehrt die Verstärkung zu verringern, wenn die Dichte verhältnismäßig hoch ist. In
5 einer Ausführungsform dieses Verfahrens wird die Anzahl der Taktübergänge (entweder ansteigende oder abfallende) zwischen benachbarten Datenübergängen gezählt und zum Einstellen der Schleifenverstärkung verwendet. Bei einer bevorzugten Ausführungsform ist die mittlere Schleifenverstärkung bei
10 Änderungen der Übergangsdichte im Wesentlichen konstant.

Dieses Verfahren wird beispielhaft in einen PLL implementiert, der einen Modulator zum Ändern der Schleifenverstärkung als Reaktion auf die Differenz zwischen der Datenübergangsdichte des Eingangssignals und der des
15 Taktsignals aufweist. Beispielhaft umfasst der Modulator eine Ladungspumpe, die zwischen dem Phasendetektor und dem Schleifenfilter angeordnet ist. Die Ladungspumpe liefert Stromimpulse an das Filter, wobei die Amplitude der Impulse in Beziehung zur Datenübergangsdichte steht: je geringer die
20 Datenübergangsdichte in einem gegebenen Zeitintervall ist, desto größer ist die Impulsamplitude (und umgekehrt).

Die Erfindung ist insbesondere beim Einsatz in Systemen nützlich, bei denen eine obere Grenze der Anzahl an Datenbits besteht, die ohne Datenübergang auftreten können. Beispiele
25 dieser Systems sind solche, die Manchester- oder Lauflängenbegrenzte- (Run Length Limited) Codierungs-Schemen verwenden.

Die Erfindung ist auch beim Einsatz in Systemen nützlich, in denen die PLL hintereinandergeschaltet sind, weil die PLL-Übertragungsfunktionen, wie die
30 Schleifenverstärkung, unabhängig von der Übergangsdichte sind, so daß unabhängig vom Datenstrom, den ein PLL empfängt, dieser immer den eingerasteten Zustand aufrechterhält.

Kurze Beschreibung der Figuren

Die Erfindung mit ihren verschiedenen Merkmalen und Vorteilen kann vollständig aus der folgenden detaillierten Beschreibung in Verbindung mit den beigefügten Zeichnungen verstanden werden.

Es zeigen:

Figuren

- 1 + 2 Wellenformen zum Beschreiben des nachteiligen
Einflusses der von Datenübergängen abhängigen
Verstärkung auf die Leistungsfähigkeit des PLL,
- Fig. 3 ein Blockschaltbild eines PLL-Systems gemäß einer
erfindungsgemäßen Ausführungsform,
- Fig. 4 ein kombiniertes Blockschaltbild und
Schaltkreisschema der Ausführungsform nach Fig. 3,
- Fig. 5 Wellenformen, die zum Erläutern des
Betriebs der Ausführungsform nach Fig. 4 nützlich
sind, und
- Fig. 6 eine beispielhafte Ausführungsform des Zählers nach
Fig. 3.

Wie vorstehend beschrieben, bewirkt die Erfindung im Wesentlichen, daß die Schleifenverstärkung eines PLL-Systems auf die Übergangsdichte des Datensignals steuerbar reagiert. Insbesondere bewirkt die Erfindung, daß die Schleifenverstärkung im Wesentlichen konstant bleibt, auch wenn sich die Übergangsdichte ändern kann.

Ein Blockschaltbild eines PLL-Systems 10 gemäß einer Ausführungsform der Erfindung ist in Fig. 3 dargestellt. Das System umfasst eine Rückkopplungsschleife 12, die durch einen Phasendetektor 14, einen Schleifenverstärkungs-Modulator (z.B. eine Ladungspumpe 16), ein Schleifenfilter 18 und einen spannungsgesteuerten Oszillator (VCO) 20 gebildet wird.

Außerhalb der Schleife 12 ist ein Datenübergangskomparator 22 angeordnet, der die Übergänge des Eingangsdatensignals V_s mit denen des Taktes V_0 (d.h. das VCO-Ausgangssignal) vergleicht und pulsbreitenmodulierte (PWM) Steuerimpulse V_T erzeugt. Die PWM-Impulse V_T steuern die Amplitude der pulsamplitudenmodulierten (PAM) Stromimpulse I_c , die von der Ladungspumpe 16 an das Schleifenfilter 18 geliefert werden. Das Schleifenfilter 18 wiederum erzeugt eine Steuerspannung V_c , welche die Frequenz des VCO 20 steuert. Das Schleifenfilter 18, das aktiv oder passiv sein kann, der VCO 20, der ein Relaxationsoszillator sein kann, und der Datenübergangs-Komparator 22, der einfach eine Differenzierschaltung gefolgt von einem Gleichrichter sein kann, sind im Stand der Technik bekannt.

Der Phasendetektor 14 kann ein beliebiger Detektor aus einer Klasse bekannter Detektoren sein, der zum Verarbeiten nicht-periodischer Datensignale geeignet ist. Wie in Fig. 3 gezeigt, weist der Phasendetektor 14 zwei Eingänge auf: einen für das Eingangsdatensignal V_s und einen für das Ausgangssignal (Takt) V_0 des VCO 20. Der Detektor 14 vergleicht die Phasen von V_s und V_0 und erzeugt zwei Ausgangssignale V_d und V_u , aber drei erlaubte Zustände. Das heißt, diese Ausgangssignale sind logische Pegel, die an die Ladungspumpe 16 angelegt werden: (1) V_u allein ist dann wahr, wenn die Ausgangsfrequenz des VCO 20 erhöht werden muß, (2) V_d allein ist dann wahr, wenn die Ausgangsfrequenz des VCO 20 verringert werden muß und (3) V_u und V_d sind gleichzeitig falsch, wenn die Ausgangsfrequenz des VCO 20 unverändert bleiben soll. V_d und V_u sind niemals gleichzeitig wahr. Diese Art eines tri-state-Phasendetektors, der in Verbindung mit einer Ladungspumpe verwendet wird, wird von F.M. Gardner in dem Aufsatz „Charge-Pump Phase-Lock Loops“, IEEE Transactions on Communications, Band COM-28, Nr. 11,

Seite 1849 (1980) beschrieben. Obwohl Gardner die Ladungspumpe als „nichts anderes als einen elektronischen Schalter mit drei Schaltstellungen, wobei der Schalter von den drei Zuständen des Phasendetektors gesteuert wird“

5 beschreibt, funktioniert in unserer PLL die Kombination aus der Ladungspumpe 16 und dem Datenübergang-Komparator 22 in einer einzigartigen Weise, um PAM-Stromimpulse I_c an das Schleifenfilter 18 zu liefern. Die Amplitude dieser Impulse steht in Beziehung zur Übergangsdichte des
10 Eingangsdatensignals V_s . Da sich die Übergangsdichte als Funktion der Zeit ändert, stellt der PLL die Stromimpulsamplituden dynamisch an, so daß die Verstärkung des Phasendetektors und somit die Schleifenverstärkung Änderungen der Dichte ausgleicht. Daher werden die
15 Verstärkung und somit die Schleifendynamik wirksam über einen verhältnismäßig breiten Bereich von Datenübergangsdichten im Wesentlichen konstant gehalten.

Die effektive Verstärkung des Phasendetektors (und somit die Schleifenverstärkung) wird von der Ladungspumpe 16 und
20 dem Komparator 22 dynamisch eingestellt. Der Komparator 22 zählt die Anzahl der Taktzyklen n , die zwischen den Datenübergängen auftreten, und erzeugt ein geeignetes Steuersignal V_r , das ermöglicht, daß die Ladungspumpe 16 einen Stromimpuls mit einer Amplitude nI an das
25 Schleifenfilter 18 liefert. In Fig. 2 beispielsweise (im Falle des Verschlechterungsfaktors von $D = 1/3$) treten während des Intervalls t_0 - t_1 vor dem Datenübergang bei t_1 drei Taktzyklen auf. Folglich liefert der Komparator 22 ein geeignetes Steuersignal V_r an die Ladungspumpe 16, so daß ein
30 Stromimpuls der Amplitude 3 (in Fig. 2 nicht dargestellt) bei etwa t_1 in das Schleifenfilter eingespeist wird. Das Vorzeichen des Impulses kann entweder positiv oder negativ sein, abhängig davon, ob das Taktsignal dem Datensignal

nacheilt bzw. voreilt.

Die Weise, in der der PAM-Steuerstrom erzeugt wird, ist besser aus der nachfolgenden detaillierteren Beschreibung der Figuren 4 bis 6 verständlich, in denen entsprechende Bauteile der Fig. 3 und Fig. 4 gleiche Bezugszeichen aufweisen. Bei dieser Ausführungsform ist das Schleifenfilter 18 ein gewöhnliches Filter zweiter Ordnung, das die Reihenschaltung eines Widerstandes R_1 und eines Kondensators C_1 , die zwischen dem Eingangsanschluß und Masse angeschlossen sind, aufweist, wobei ein Glättungskondensator C_2 parallel zur Reihenschaltung von R_1 und C_1 geschaltet ist. Auf der anderen Seite umfaßt der Datenübergang-Komparator 22 einen Datenübergang-Detektor 22.1 (z.B. eine Differenzierschaltung gefolgt von einem Gleichrichter), dessen Eingang mit V_s und dessen Ausgang mit dem Löscheingang CLR des Zählers 22.2 verbunden ist. Der Inkrementierungseingang INC des Zählers ist mit V_0 verbunden, wohingegen die parallelen Ausgangssignale des Zählers mit der Ladungspumpe 16 verbundene Steuerspannungen V_{Ti} sind ($i = 2, 3, 4 \dots$), um den Zustand der Schalter S_i und S'_i ($i = 2, 3, 4 \dots$) zu steuern.

Die Ladungspumpe selbst umfaßt eine erste Bank 16.1 parallel geschalteter Stromquellen I_i ($i = 1, 2, 3, \dots$), die über den Schalter S_1 mit einem Knoten N verbunden ist, um einen positiven Stromsteuerimpuls I_c der Amplitude nI ($n = 1, 2, 3 \dots$) zum Schleifenfilter zu liefern. In ähnlicher Weise ist eine zweite Bank 16.2 parallel geschalteter Stromquellen I'_i ($i = 1, 2, 3 \dots$) über den Schalter S'_1 mit dem Knoten N verbunden, um einen negativen Stromsteuerimpuls I_c zum Schleifenfilter zu liefern. Die Amplitude der Stromimpulse wird durch die Anzahl der Schalter S_i oder S'_i ($i = 2, 3, 4 \dots$) festgelegt, die unter Steuerung von V_{Ti} geschlossen werden, wohingegen die Dauer (Breite) des Strompulses I_c

durch die Zeitdauer festgelegt wird, in der die Schalter S_1 oder S_1' unter Steuerung der Ausgangssignale V_u bzw. V_d des Phasendetektors geschlossen sind. Folglich steht die Breite der Stromimpulse I_c in Beziehung zum Phasenfehler, der vom
5 Phasendetektor erzeugt wird, und kann sich folglich beträchtlich ändern (z. B. von 0 bis 50 %). Der Einfachheit halber jedoch zeigt Fig. 5 Impulse I_c gleicher Dauer.

Bei Betrieb der Ausführungsform nach Fig. 4 vergleicht der Phasendetektor 14 die ansteigende Flanke (beispielsweise)
10 des Taktsignales V_0 mit einem Datenübergang des Eingangssignals V_s . Wenn eine positive VCO-Verstärkung K_0 und ein „früher“ Taktübergang angenommen wird, würde eine Impuls am „unteren“ Ausgang V_d erzeugt werden. Dieser Impuls würde bewirken, daß die Steuerspannung V_c abnimmt, wodurch die
15 Frequenz V_0 abnehmen würde (d.h. die Taktrate). Man beachte jedoch, daß der Takt in Fig. 5 der Einfachheit halber mit konstanter Frequenz dargestellt ist (d.h. in vielen Fällen wäre die tatsächliche Frequenzverschiebung in einer schematischen Zeichnung verschwindend klein). Wenn der
20 Taktübergang umgekehrt „spät“ erfolgen würde, würde ein Impuls am „oberen“-Ausgang V_u erzeugt werden, um die Taktrate zu beschleunigen.

Betrachtet wird nun die Funktionsweise der Ladungspumpe 16, bei der, wie angenommen wird, jede Stromquelle einen
25 Strom der Größe I liefert. Ein Impuls an V_u schließt den Schalter S_1 und verbindet die Bank 16.1 mit dem Schleifenfilter 18. Die Amplitude des am Filter bereitgestellten Steuerstroms I_c ist gleich $I + kI$; d.h. I (von I_1) plus kI ($k=0,1, 2 \dots$) hängt davon ab, wie viele Schalter
30 S_i ($i = 2, 3, \dots$) geschlossen sind. Die Dauer von I_c hängt von der Dauer von V_u ab. Ähnliche Anmerkungen gelten für einen an den Schalter S_1' angelegten Impuls V_d . In beiden Fällen steuert der Zähler 22.2 das Schließen der Schalter S_i .

und S'_i ($i = 2, 3 \dots$) durch Zählen der Anzahl der Taktübergänge, die zwischen benachbarten Datenübergängen auftreten. Wenn ein Datenübergang stattfindet (t_0 , Fig. 5), löscht der Datenübergang-Detektor 22.1 den Zähler 22.2, und
 5 alle V_{ti} ($i = 2, 3 \dots$) werden auf Null gesetzt, wodurch die Stromquellen I_i und I'_i ($i = 2, 3 \dots$) ausgeschaltet werden. Wenn ein Datenübergang nach t_0 auftritt, liefert die Stromquelle I_i oder I'_i den notwendigen Steuerstrom. Wenn jedoch in t_1 kein Datenübergang bei der zweiten ansteigenden
 10 Taktflanke auftritt, wie in Fig. 5 gezeigt, dann steigt V_{T2} bei der fallenden Flanke dieses Taktzyklus (bei t_2) auf „High“, die die Schalter S_2 und S'_2 schließt und I_2 und I'_2 auf das Einspeisen eines Steuerstroms in das Schleifenfilter vorbereitet. (Ob, wie vorstehend angemerkt, der positive
 15 Steuerstrom I_2 oder der negative I'_2 eingespeist wird, hängt davon ab, ob ein Impuls am Ausgang V_u oder V_d erscheint). Wenn auch bei t_3 kein Datenübergang auftritt, steigt in ähnlicher Weise die ansteigende Flanke des dritten Taktzyklus
 20 V_{T3} bei t_4 auf „High“ und schließt S_3 und S'_3 , so daß die Stromquellen I_3 und I'_3 zum Einspeisen eines Stroms in das Schleifenfilter vorbereitet sind. Man beachte, daß während des Intervalls $t_0 - t_5$, wenn kein Datenübergang stattfindet, sowohl V_u als auch V_d auf Low-Pegel sind, d.h. dem dritten Zustand des tri-state-Phasendetektors. Wenn schließlich ein
 25 Datenübergang bei t_5 stattfindet, ermittelt der Phasendetektor den Übergang und legt eine Steuerspannung V_d an die Ladungspumpe an, so daß ein Steuerstromimpuls $I_c = -3I$ in das Schleifenfilter eingespeist wird. In ähnlicher Weise, wie in Fig. 5 gezeigt, werden beispielsweise zusätzliche
 30 Steuerstromimpulse der Amplitude $+2I$, $-I$, $+4I$, $-I$, $-I$ bzw. $+I$ zu Zeiten t_6 bis t_{11} von der Ladungspumpe erzeugt. Auf diese Weise wird die Verstärkung des Phasendetektors und folglich die Schleifenverstärkung derart eingestellt, daß diese die

sich ändernde Übergangsdichte des Datensignals ausgleicht.

Es ist verständlich, daß die vorstehend beschriebenen Anordnungen lediglich Beispiele vieler möglicher, denkbarer, spezifischer Ausführungsformen sind. Beispielsweise existieren viele weitere im Stand der Technik bekannte Bauformen des Zählers 22.2, die zum Einsatz im erfindungsgemäßen PLL-System geeignet sind. Eine Bauform ist in Fig. 6 dargestellt, in der eine Vielzahl von D-Flip-Flops hintereinander angeordnet sind. Eine Gleichspannung, die einem logischen Zustand entspricht, wird an den D-Eingang des ersten Flip-Flop angelegt und die Steuerspannungen (V_{ti}) ($i = 2, 3 \dots$) werden am Q-Ausgangssignalen der jeweiligen Flip-Flops gewonnen. Das Inkrementierungssignal INC des VCO wird an die Takteingänge CLK der Flip-Flops angelegt und das Löschesignal CLR des Datenübergang-Detektors 22.1 wird an die Löscheingänge der Flip-Flops angelegt.

Außerdem sind, obwohl sich die vorstehende Beschreibung für beispielhafte Zwecke auf analoge PLL-Systeme bezieht, die Prinzipien der Erfindung auch auf volldigitale PLL-Systeme anwendbar, z.B. ein PLL mit einem digitalen Schleifenfilter und einem digitalen Phasendetektor, ein PLL, der in einem FPGA oder einem DSP implementiert ist, oder ein PLL, der als Software in einem Mikroprozessor implementiert ist.

Schließlich sei bemerkt, daß die Erfindung vorteilhafterweise in Systemen verwendet wird, in denen Daten codiert werden, so daß es eine obere Grenze für die Anzahl der Datenbits gibt, die zwischen Datenübergängen auftreten können. Beispiele dieser Codierungsschemen sind die Manchester- und die Lauflängen-begrenzte Codierung. Die Erfindung ist jedoch nicht auf die Verwendung in diesen Systemen begrenzt. Wenn die in den Figuren 3 und 4 gezeigten erfindungsgemäßen Ausführungsformen in Systemen ohne obere Grenze für die vorstehend beschriebene Art verwendet werden,

würde somit der PLL immer noch für den Ausgleich der Schleifenverstärkung sorgen, und folglich eine Verbesserung gegenüber dem Stand der Technik darstellen, bis zu dem Punkt, in dem die Ladungspumpe schon auf die maximale Anzahl von Stromquellen geschaltet worden ist, die vom physikalischen Entwurf bereitgestellt wird, auch wenn ein Datensignal mit verhältnismäßig geringer Übergangsdichte mehr Strom „anfordern“ kann.

Patentansprüche

- 5 1. Verfahren zum Betreiben eines Phasenregelkreissystems
zum Einrasten eines Taktsignals auf ein
Eingangssignal,
gekennzeichnet durch die Verfahrensschritte:
a) Ermitteln der Übergangsdichte des
10 Eingangssignals durch Zählen der Anzahl der
Taktsignalübergänge, die zwischen den
Datensignalübergängen auftreten, und
b) Einstellen der Schleifenverstärkung des Systems
unter Ansprechen auf den Zählschritt a).
- 15 2. Verfahren nach Anspruch 1,
dadurch gekennzeichnet, daß in Schritt b) die mittlere
Schleifenverstärkung bei Änderungen der Übergangsdichte
des Eingangssignals im wesentlichen konstant gehalten
20 wird.
3. Verfahren nach Anspruch 1,
dadurch gekennzeichnet, daß das System einen
Phasendetektor zum Vergleichen der Phase des
25 Eingangssignals mit der des Taktsignals umfaßt und daß
Schritt b) das Einstellen der effektiven Verstärkung des
Phasendetektors unter Ansprechen auf den Zählschritt a)
umfaßt.
- 30 4. Verfahren nach Anspruch 3,
dadurch gekennzeichnet, daß das System ein
Schleifenfilter zum Filtern des Ausgangssignals des
Phasendetektors umfaßt und daß Schritt b) das Einspeisen

von Stromimpulsen in das Schleifenfilter umfaßt, wobei die Impulsamplituden sich auf die Anzahl der Übergänge, die in Schritt a) gezählt worden sind, beziehen.

- 5 5. Verfahren nach Anspruch 4,
dadurch gekennzeichnet, daß der Einspeiseschritt das Verwenden des Ausgangssignals des Phasendetektors umfaßt, um zu bestimmen, wann die Stromimpulse in das Schleifenfilter eingespeist werden.
- 10 6. Verfahren nach Anspruch 4,
dadurch gekennzeichnet, daß sich die Amplitude der Impulse auf die Anzahl der Taktübergänge bezieht, und daß das Daten- und das Taktsignal einen
- 15 Phasenunterschied des Betrags Δ aufweisen, und daß sich die Impulsbreite auf Δ bezieht.
7. Datensystem (10), umfassend:
ein Phasenregelkreis-Untersystem (12) zum Einrasten
- 20 eines Taktsignals (V_0) auf ein Eingangsdatensignal (V_s),
wobei das Schleifen-Untersystem eine charakteristische Schleifenverstärkung aufweist, die sich auf die Phasendifferenz Δ zwischen dem Eingangssignal und dem Taktsignal bezieht,
- 25 gekennzeichnet durch:
einen Modulator (16, 22) zum Einstellen der Schleifenverstärkung unter Ansprechen auf die Differenz zwischen der Datenübergangsdichte des Eingangssignals und der des Taktsignals.
- 30 8. System nach Anspruch 7,
dadurch gekennzeichnet, daß der Modulator (16, 22) die

Schleifenverstärkung derart einstellt, daß die mittlere Schleifenverstärkung bei Änderungen der Dichte des Eingangssignals im wesentlichen konstant bleibt.

5 9. System nach Anspruch 7,

dadurch gekennzeichnet, daß der Modulator umfaßt:

 einen Komparator (22) zum Erzeugen eines ersten Steuersignals, das mit der Differenz der Datenübergangsdichte in Beziehung steht, und

10 eine Quelle (16) zum Einspeisen von Stromimpulsen in die Schleife als Reaktion auf das erste Steuersignal.

10. System nach Anspruch 9,

dadurch gekennzeichnet,

15 daß der Komparator (22) die Anzahl der ansteigenden (oder abfallenden) Taktsignalübergänge benachbarter Datensignalübergänge zählt, und daß

 die Quelle (16) Impulse einspeist, deren Amplituden in Beziehung zu der vom Komparator gezählten Anzahl stehen.

20

11. System nach Anspruch 10,

dadurch gekennzeichnet, daß

 das Schleifen-Untersystem (12) einen Tri-State-Phasendetektor (14) zum Erzeugen eines zweiten Steuersignals unter Ansprechen auf die Phasendifferenz zwischen dem Eingangssignal und dem Taktsignal enthält, und daß

25

30

 die Zeitsteuerung des Einspeisens der Impulse eine Reaktion auf das vom Phasendetektor erzeugte zweite Steuersignal ist.

12. System nach Anspruch 11,

dadurch gekennzeichnet, daß das Schleifen-Untersystem einen Oszillator (20) zum Erzeugen des Taktsignals und ein Schleifenfilter (18) zum Bereitstellen eines gefilterten dritten Steuersignals (V_c) zum Einstellen der Frequenz des Oszillators umfaßt, und daß die Quelle (16) Stromimpulse an das Filter zum Erzeugen des dritten Steuersignals anlegt.

10

13. System nach Anspruch 7,

dadurch gekennzeichnet, daß der Modulator eine Ladungspumpe (16) umfaßt, die Stromimpulse in die Schleife einspeist, daß die Impulsamplitude in Beziehung zur Anzahl der Taktübergänge steht, die zwischen den Datenübergängen auftreten, und daß die Impulsbreite in Beziehung zu Δ steht.

15

0585090

09.10.99

1/4

FIG.1

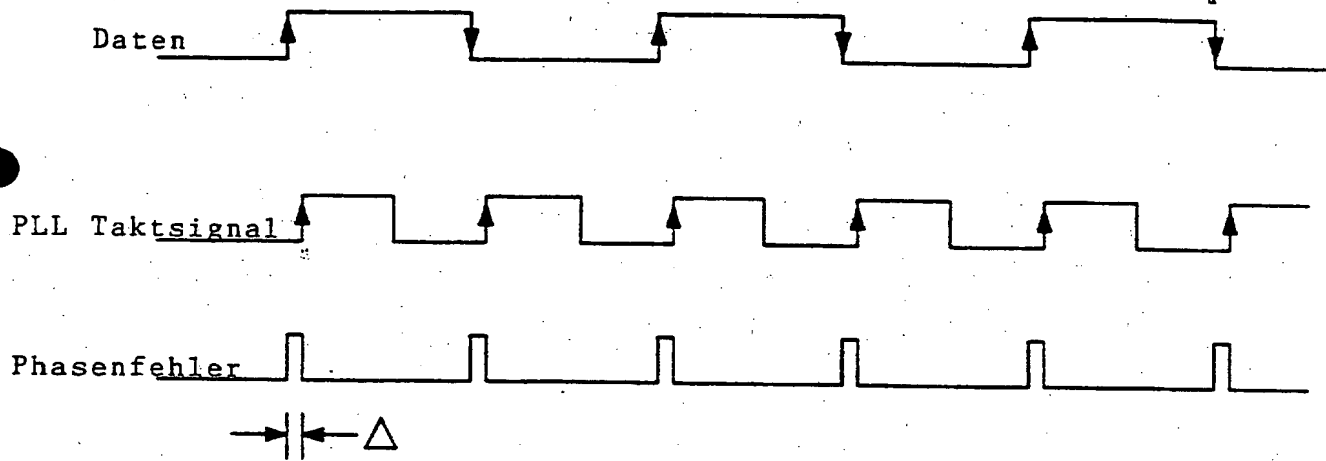


FIG.2

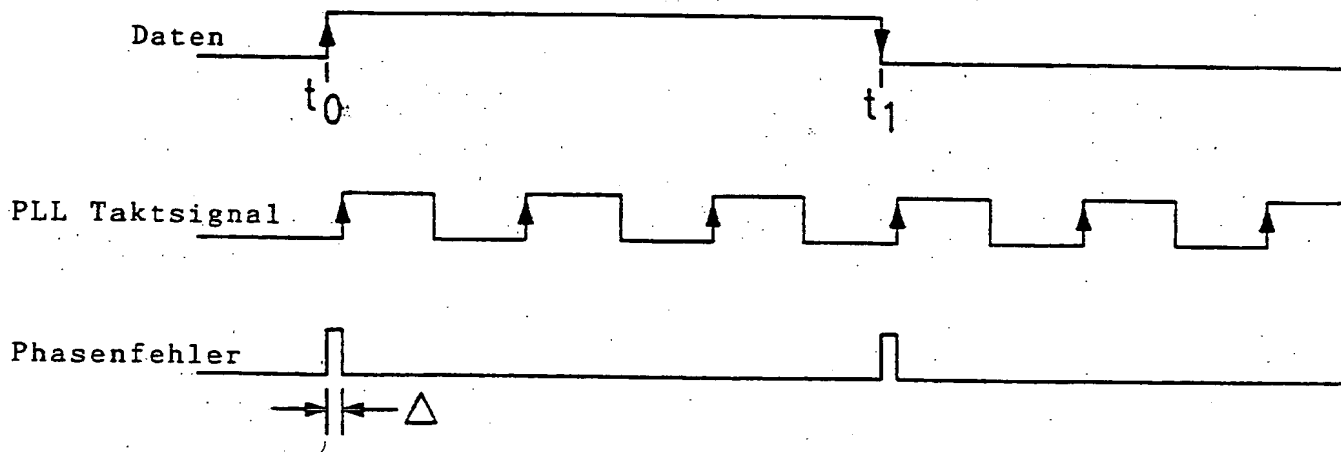


FIG. 3

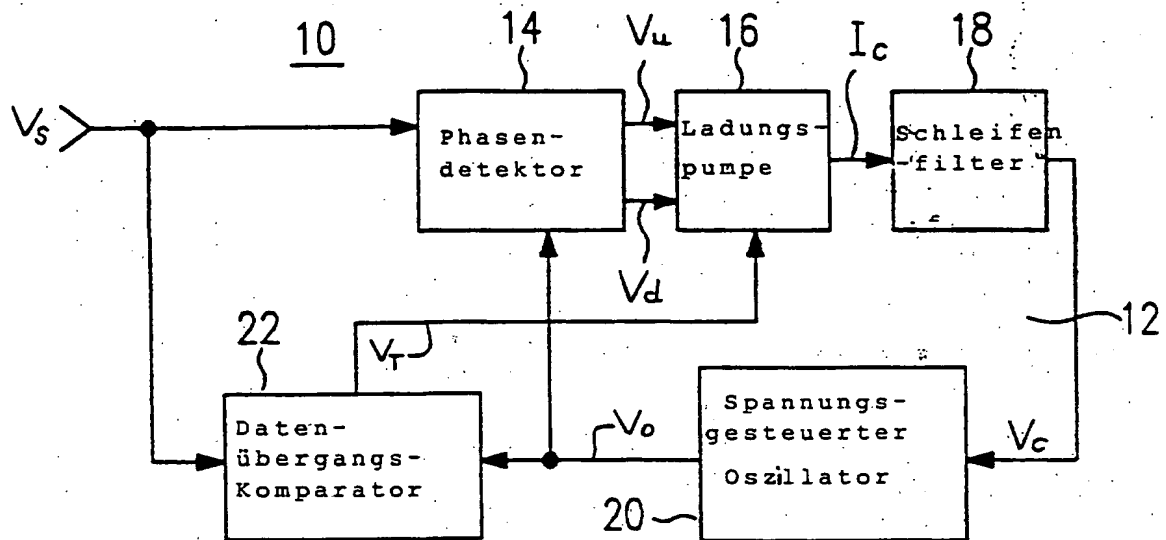
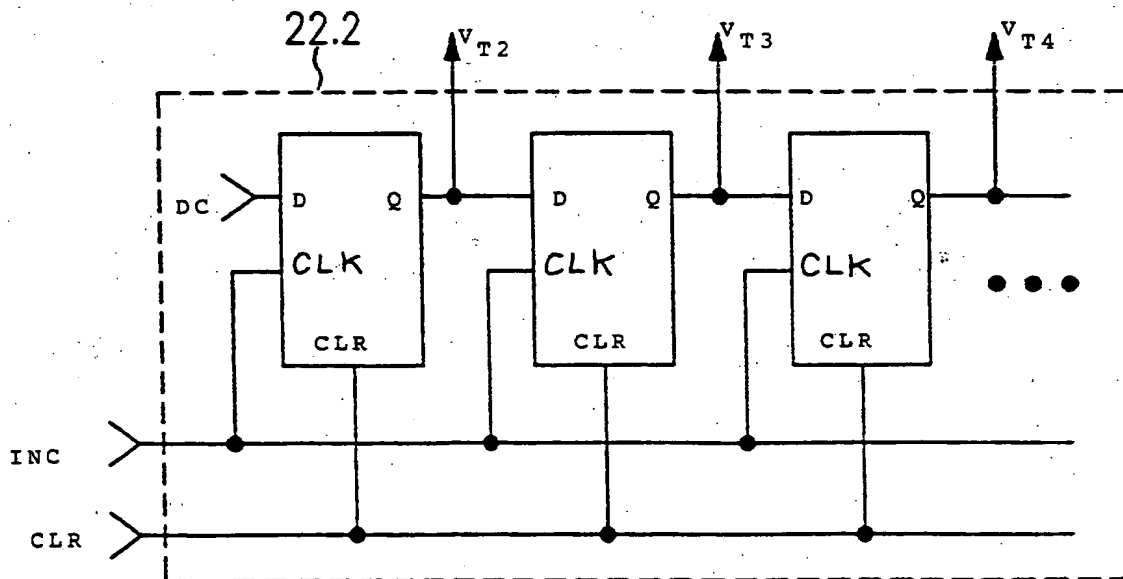


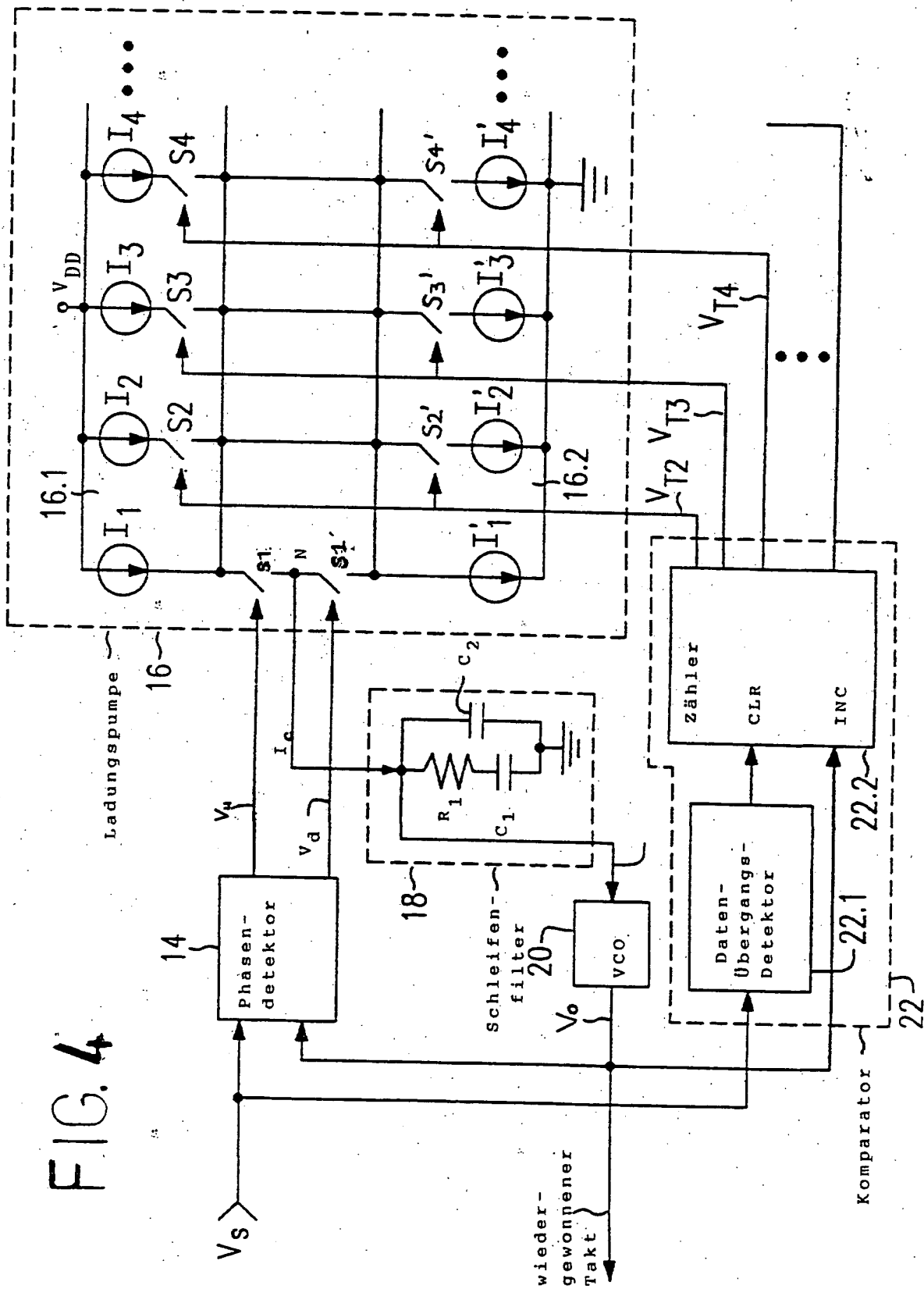
FIG. 6



09.10.99

3/4

FIG. 4



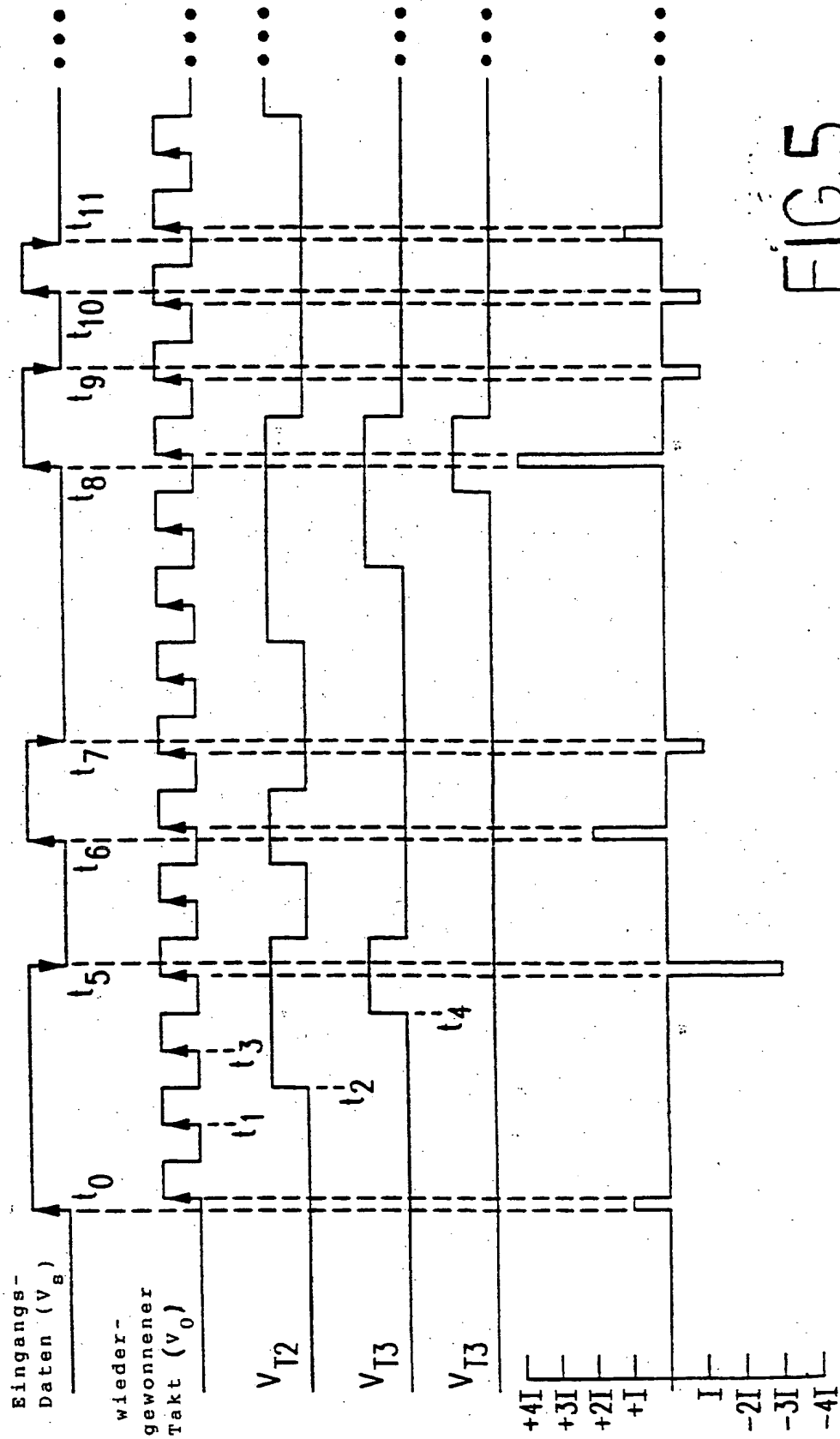


FIG.5

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)